

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-226661

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H 0 1 L 29/ 78

3 2 1 V

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号

特願平4-29581

(22)出願日

平成4年(1992)2月17日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 原田 眞名

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 高田 守

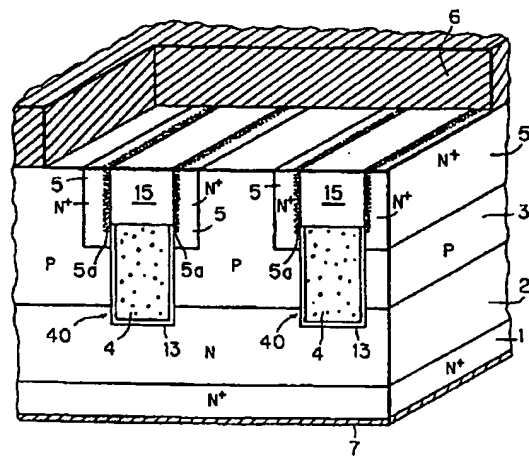
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 縦方向チャネルMOSゲート構造を有する半導体装置の微細化、高集積化及びオン抵抗の低減を図る。

【構成】 ソース領域5の表面からボディ3を通してN拡散領域2へかけて溝40が掘られており、溝40の内部でN拡散領域2と向かい合う部分にはゲート酸化膜13を介して埋め込みゲート電極4が、ソース領域5と向かい合う部分には拡散源不純物を含んだ埋め込み酸化膜15が、それぞれ充填されている。ソース領域5の不純物濃度の分布は溝40の深さ方向に一樣であり、溝40から離れる方向に従って低下してゆく。

【効果】 オン時には電流は溝に沿って流れ、これに対する抵抗は低く抑えられる。また隣接する溝同士の間隔を狭くして溝を形成することができる。



- 1:ドレイン領域
- 2:N拡散領域
- 3:ボディ
- 4:埋込みゲート電極
- 5:ソース領域
- 13:ゲート酸化膜
- 15:埋込み酸化膜

【特許請求の範囲】

【請求項1】 第1及び第2主面を有する第1導電型の第1半導体層と、

前記第1主面上に形成された第2導電型の第2半導体層と、

前記第2半導体層上に選択的に形成された第1導電型の第3半導体層と、

前記第3半導体層の表面から前記第2半導体層を貫通して前記第1半導体層まで達する溝と、

少なくとも前記第2半導体層に対峙する前記溝の内壁上に形成された誘電体層と、

前記誘電体層を介して前記溝の内壁上に形成された制御電極と、

前記第3半導体層に対峙する前記溝の内壁の一部の上に形成され、第1導電型の不純物を有する絶縁体層と、

を備え、

前記第3半導体層は前記溝近傍において、その厚み方向に一樣な不純物濃度を有する半導体装置。

【請求項2】 (a) 第1及び第2主面を有する第1導電型の第1半導体層を準備する工程と、

(b) 第2導電型の第2半導体層を前記第1主面上に形成する工程と、

(c) 前記第2半導体層の表面から貫通して前記第1半導体層に達し、前記第2半導体層表面近傍の第1領域と前記第1領域以外の第2領域とを有する溝を形成する工程と、

(d) 誘電体層を前記第2領域において前記溝の内壁上に形成する工程と、

(e) 制御電極を前記誘電体層上に形成する工程と、

(f) 第1導電型の拡散源不純物を有する絶縁体層を少なくとも前記溝の前記第1領域の内壁上に形成する工程と、

(g) 前記絶縁体層から前記拡散源不純物を拡散させて、少なくとも前記第1領域よりも前記第2半導体層の厚み方向に長い第1導電型の第3半導体層を、前記第2半導体層上であって前記溝に接して選択的に形成する工程と、

を備える半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は縦方向チャンネルMOS

ゲート構造を有する半導体装置、特にU溝、V溝を有するパワーデバイスに関するものである。

【0002】

【従来の技術】 パワーデバイスのMOSFET構造としては、基板表面に沿って横方向にチャンネルを形成したい

わゆるDMOSFET構造が主流となっている。ところがこの構造ではオン電圧の低減の為にユニットセルを微細化したり、高集積化を図ることが困難であると指摘されている。

【0003】 このため、U溝を有したり、トレンチ構造を有するMOSFETが提案されている。図17にU溝ゲート構造を有する従来のパワーMOSFETの構造を示す。

【0004】 ドレイン電極メタル7、ドレイン領域1、N拡散領域2、ボディ3がこの順に積層されている。ボディ3の表面には不純物拡散によってソース領域5が形成されている。そしてソース領域5からボディ3を貫通してN拡散領域2に至るU溝40が掘られ、その内部にはゲート酸化膜13を介して埋込ゲート電極4が設けられている。ソース電極メタル6はソース領域5及びボディ3上を覆っているが、埋込ゲート電極4とは酸化膜14で絶縁されている。このようなU溝ゲート構造においては、U溝40の全側壁にチャンネルが形成され、U溝40の長さを100%有効に利用できる、オン電圧の低減を図るには有利である。しかし微細化、高集積化を図るために隣接するU溝40の間隔を狭くすると、隣接するソース領域5同士の間ボディ3を露呈させることが困難となる。これはソース領域5の中央にU溝40を配置する際に要求される写真製版のパターン精度及び重ね合わせ精度等の製造技術上の問題から受ける制約に起因する。

【0005】 このような問題を回避するための構造も提案されている。図18に他の従来のパワーMOSFETの構造を示す。矩形状のソース領域5はU溝40と垂直の方向に、一定の間隔をあけて形成されている。この間隔においてボディ3がその表面に露呈し、ソース電極メタル6によってソース領域5とボディ3が短絡されている。このような構造においては、U溝40のパターンとは関係なく自己整合的にチャンネル領域が形成されるので、ソース領域5とU溝40との位置関係をそれほど高精度に定める必要はなく、高度なパターン精度も必要とされることはない。

【0006】

【発明が解決しようとする課題】 しかし、図18に示した構造は図17に示した構造と比較するとチャンネル領域が減少する。これを改善するためにはソース領域5の幅を上げ、ボディ3がその表面において露呈する面積を小さくすることも考えられる。この場合、ソース領域5とボディ3がソース電極メタル6によって短絡されている場所からソース領域5の中央付近の場所までの距離が大きくなり、寄生NPNトランジスタによる不良動作を抑制しにくくなってしまふ。

【0007】 更に図17、図18のいずれに示すMOSFETにおいても、オン電圧を低く抑えることができない。図19にU溝40近傍の構造を表す断面図とXX'方向の(厚み方向の)不純物濃度のプロファイルを示す。この構造は図17、図18のいずれに示すMOSFETにおいても当てはまる。オン状態では電子はソース領域5、ボディ3、N拡散領域2、ドレイン領域1へと

流れる（電流は電子の流れと逆方向である）。従ってオン抵抗は、ソース領域5に存在するソース抵抗RS、U溝40近傍においてボディ3に形成されるチャネルに存在するチャネル抵抗RC、N拡散領域2に存在する抵抗RN、ドレイン領域1に存在するドレイン抵抗RDによって決まる。

【0008】ところで、ソース抵抗RSはソース領域5の不純物濃度の分布で定まる。従来の構造においてはソース領域5はボディ3の表面からの不純物拡散によって形成されるため、比較的高濃度に分布している不純物領域5aは、ボディ3の表面近傍にのみ形成される。このためソース領域5における不純物濃度は図19のプロファイルに示されるように、ドレイン領域1へ向かうにつれて低く分布し、ソース抵抗RSもドレイン領域1に近い部分で増大する。従って全体としてオン抵抗を低減することが困難であった。

【0009】結局、従来の縦方向チャネルMOSゲート構造を有する半導体装置ではソース領域の形成の微細化が困難であり、本来は有利である微細化や高集積化への対応が十分発揮できないという問題点があった。更にはオン抵抗を抑えることが困難であるという問題点もあった。

【0010】この発明は、上記のような問題点を解消するためになされたもので、微細でかつオン抵抗が低く、微細化や高集積化への対応が可能な半導体装置と、その製造に適した製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明にかかる半導体装置は、第1及び第2主面を有する第1導電型の第1半導体層と、第1主面上に形成された第2導電型の第2半導体層と、第2半導体層上に選択的に形成された第1導電型の第3半導体層と、第3半導体層の表面から第2半導体層を貫通して第1半導体層まで達する溝と、少なくとも第2半導体層に対峙する溝の内壁上に形成された誘電体層と、誘電体層を介して溝の内壁上に形成された制御電極と、第3半導体層に対峙する溝の内壁の一部の上に形成され、制御電極を覆う、第1導電型の不純物を有する絶縁体層とを備える。そして第3半導体層は溝近傍において、その厚み方向に一樣な不純物濃度を有する。

【0012】また、この発明にかかる半導体装置の製造方法は、第1及び第2主面を有する第1導電型の第1半導体層を準備し、第2導電型の第2半導体層を第1主面上に形成する。そして第2半導体層の表面から貫通して第1半導体層に達し、第2半導体層表面近傍の第1領域と第1領域以外の第2領域とを有する溝を形成する。この後、誘電体層を第2領域において溝の内壁上に形成し、制御電極を誘電体層上に形成し、第1導電型の拡散源不純物を有する絶縁体層を少なくとも溝の第1領域の内壁上に形成する。そして絶縁体層から拡散源不純物を拡散させて、少なくとも第1領域よりも第2半導体層の

厚み方向に長い第1導電型の第3半導体層を、第2半導体層上であって溝に接して選択的に形成する。

【0013】

【作用】この発明における第3半導体層は、溝内部に設けられた拡散源不純物を有する絶縁体層からの不純物拡散によって形成され、その不純物濃度は電流の流れる方向に対して一様に分布し、また溝から離れるに従って低下する。このため第3半導体層中で溝近傍を流れる電流によって発生する電圧降下は低く抑えられ、また隣接する溝同士の間隔を容易に狭めることができる。

【0014】

【実施例】図1にこの発明の第1実施例であるNチャネルパワーMOSFETの構造を示す。N⁺型半導体からなるドレイン領域1、N型半導体からなるN拡散領域（ドリフト層）2、P型半導体からなるボディ3がこの順に積層されている。ボディ3の表面にはソース領域5が選択的に形成されており、ここからボディ3を貫通してN拡散領域2に至る溝40が掘られている。溝40の内部は、その底部からソース領域5の底部よりも上方の位置までがゲート酸化膜13を介して埋込ゲート電極4によって充填され、更に溝40の内部の上部にはN型不純物を含んだ埋込み酸化膜15が充填されている。ソース電極メタル6はソース領域5及びボディ3を短絡するように覆って形成されており、埋込ゲート電極4とは埋込み酸化膜15によって絶縁されている。

【0015】ソース領域5は埋込酸化膜15からの不純物拡散によって形成され、比較的高濃度の不純物領域5aはソース領域5のうちの溝近傍に形成されている。

【0016】図2に第1実施例のMOSFETの溝近傍の構造を表す断面図と、XX'方向の（厚み方向の）不純物濃度のプロファイルを示す。この実施例ではソース領域5の不純物濃度はその厚み方向で一様に分布する。即ち破線で示す従来の不純物濃度の分布よりも、ソース領域5の底部において不純物濃度が大きい。従ってソース抵抗RSを従来の場合に比較して小さく抑えることができる。

【0017】更に、ソース領域5の幅Lは1μm以下に、特に約300nm～500nmに形成することができ、この場合においても溝近傍において比較的高濃度の不純物領域5aを確保することができる。そのため、隣接する溝同士の間隔を狭めることが容易であり、素子の微細化、高集積化が可能となる。

【0018】このような構造を有するMOSFETを実現するための具体的な手法について説明する。図3乃至図14に第2実施例として第1実施例のMOSFETの製造方法を工程順に示す。

【0019】ドレイン領域1となるN⁺型半導体基板上にエピタキシャル成長法によってN拡散領域2を形成する（図3）。そしてボディ3の表面に酸化膜11を形成し、これを介した注入等によってN拡散領域2の表面へ

とP型不純物を拡散し、ボディ3を形成する(図4)。

【0020】この後酸化膜11を除去し、酸化を行ってボディ3の表面に50nm~70nm厚の窒化膜21を、100nm以下の薄い酸化膜12を下地にして形成し、更に厚いCVD酸化膜23を形成する。そして溝を掘るべき領域において酸化膜12、13及び窒化膜21を選択的に除去し、ボディ3を選択的に露呈させる(図5)。薄い酸化膜12は望ましくは30nm~100nmの厚さとする。

【0021】次にCVD酸化膜23をエッチングマスクとして異方性エッチングを行ない溝40を掘る(図6)。前述のように、隣接する溝の間隔Yは1.5~2.0 μ mにまで縮めることが可能である。MOSFETのオン状態においてボディ3やチャネルが形成できるように、溝40はボディ3を貫通するように形成される。この後CVD酸化膜23を除去する。

【0022】次に窒化膜21によってボディ3の表面の酸化を抑えつつ、酸化を行って溝40の内面にゲート酸化膜13を形成する(図7)。更にドーフトポリシリコン等の厚い導電性膜4aで溝40を完全に充填する。溝40を完全に充填し、後工程でその頂部を平坦化するため、溝40の幅の1/2の寸法の約2.5~3倍程度の厚みに形成する(図8)。

【0023】次に、形成された導電性膜4aをエッチバック等によって平坦化する。これにより窒化膜21が露呈し、溝40の内部にのみ導電性膜4aが残置される(図9)。この後、窒化膜21によってボディ3の表面の酸化を抑えつつ、導電性膜4aの上部を酸化して酸化膜4bを形成し、その下部に導電性膜4aを残置して埋込ゲート電極4とする(図10)。酸化膜4bの厚みはソース領域5の深さ方向の寸法を決定するため、ボディ3よりも深く形成されることはない。

【0024】次に酸化膜4bと、これに接する部分の酸化膜13を除去し、溝40の上部を露呈させる。これにより、ボディ3は凹部41を有する(図11)。そして窒化膜21を除去し、N型不純物を含む酸化膜15aをCVD法により厚く形成して凹部41を埋め込む。そして熱処理を行うことによって酸化膜15aからボディ3へと不純物を拡散させてN⁺型のソース領域5を形成する(図12)。例えば $10^{20} \sim 10^{21} \text{ cm}^{-3}$ の不純物濃度で磷(P)、砒素(As)を有する酸化膜を用いた場合には、950℃、30分間の熱処理により、溝40近傍における不純物濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以上となるソース領域5を形成することができる。この拡散により、ソース領域5は不純物濃度の分布がボディ3の厚み方向に一致となる。しかも酸化膜12が拡散を阻止するので、溝40から遠ざかるにつれてソース領域5の不純物濃度は減少してゆく。また溝40を先に形成してここから拡散を行うため、ソース領域5は溝40について自己整合的に形成されることになる。

【0025】この後、酸化膜15aを酸化膜12と共にエッチングして平坦化することにより埋込酸化膜15が残置され、ボディ3及びソース領域5が露呈する(図13)。CVD法で形成された酸化膜15aと比較して、酸化膜12はそのエッチングレートが小さい場合があるので、図5において説明したように薄く形成しておく必要がある。さもなければ酸化膜12を除去し尽くす前に、溝40内の酸化膜15aまで除去されるおそれがある。

【0026】そして図13に示された構造の上面及び下面にソース電極メタル6及びドレイン電極メタル7をそれぞれ形成し、第1実施例のMOSFETが形成される(図14)。

【0027】なお、導電性膜4aの上部を除去して埋込電極4を残置する工程は、導電性膜4aを酸化しない方法でもよい。平坦化の際のエッチングを過剰に行って凹部51を掘り、ここに露呈したゲート酸化膜13を更にエッチングして除去する方法も取ることができ、製造工程が簡易になる。

【0028】上記実施例においてはNチャネルパワーMOSFETについて説明したが、用いられる半導体の導電型のすべてを逆にしたPチャネルパワーMOSFETについても、この発明を適用することができる。

【0029】更にこの発明の第3実施例として、図16に示すように第1実施例のドレイン領域1をP⁺型の半導体層22に交替した構造を有する絶縁ゲート型バイポーラトランジスタ(IGBT)を提供することができ、第1実施例と同様の効果を奏することができる。

【0030】

【発明の効果】以上に説明したように、この発明によれば、第3半導体層の不純物濃度が、第2半導体の厚み方向に一致となって形成されるため、この領域を流れる電流に対する抵抗を小さく抑え、オン抵抗が低減した半導体装置を得ることができる。また、第3半導体層の不純物濃度が溝から離れるに従って低くなるため、溝近傍での第3半導体の不純物濃度を低下させずに、第3半導体層の溝の幅方向の長さを低減できるため、微細化、高集積化が容易な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例を示す断面斜視図である。

【図2】この発明の第1実施例を説明する説明図である。

【図3】この発明の第2実施例を工程順に示す断面図である。

【図4】この発明の第2実施例を工程順に示す断面図である。

【図5】この発明の第2実施例を工程順に示す断面図である。

【図6】この発明の第2実施例を工程順に示す断面図で

ある。

【図 7】この発明の第 2 実施例を工程順に示す断面図である。

【図 8】この発明の第 2 実施例を工程順に示す断面図である。

【図 9】この発明の第 2 実施例を工程順に示す断面図である。

【図 10】この発明の第 2 実施例を工程順に示す断面図である。

【図 11】この発明の第 2 実施例を工程順に示す断面図である。

【図 12】この発明の第 2 実施例を工程順に示す断面図である。

【図 13】この発明の第 2 実施例を工程順に示す断面図である。

【図 14】この発明の第 2 実施例を工程順に示す断面図

である。

【図 15】凹部 5 1 を掘る工程を示す断面図である。

【図 16】この発明の第 3 実施例を示す断面斜視図である。

【図 17】従来の技術を示す断面図である。

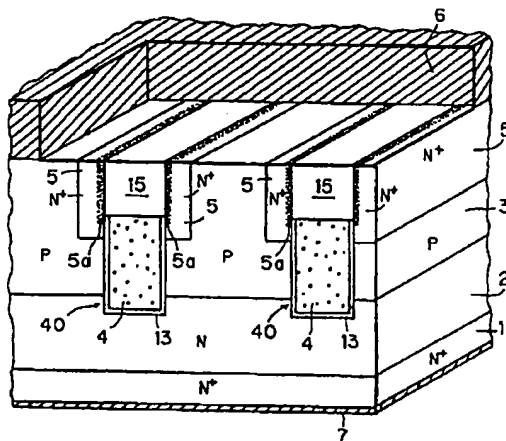
【図 18】従来の技術を示す断面図である。

【図 19】従来の技術を示す説明図である。

【符号の説明】

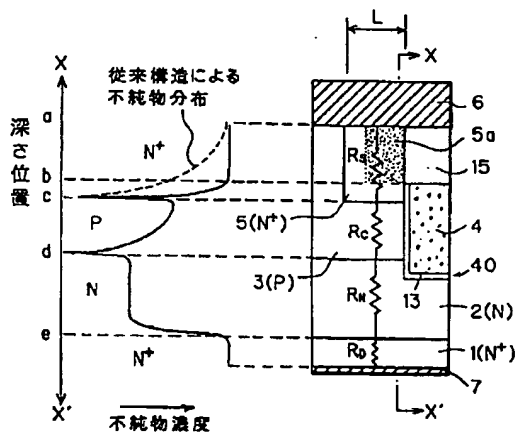
- 1 ドレイン領域
- 2 N 拡散領域
- 3 ボディ
- 4 埋込みゲート電極
- 5 ソース領域
- 13 ゲート酸化膜
- 15 埋込み酸化膜

【図 1】

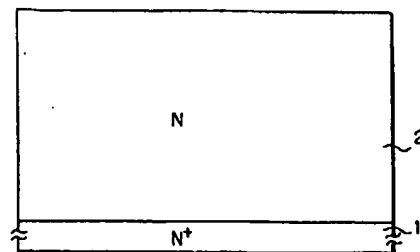


- 1:ドレイン領域
- 2:N拡散領域
- 3:ボディ
- 4:埋込みゲート電極
- 5:ソース領域
- 13:ゲート酸化膜
- 15:埋込み酸化膜

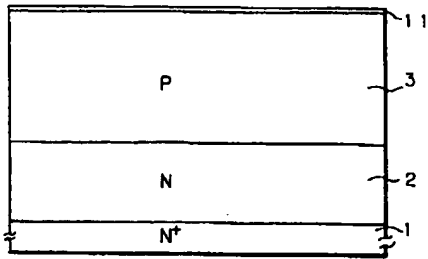
【図 2】



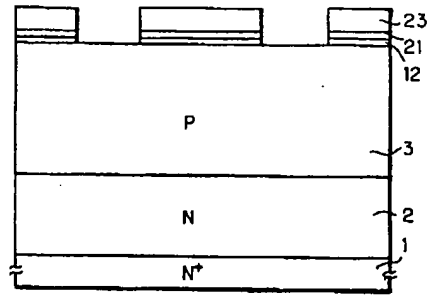
【図 3】



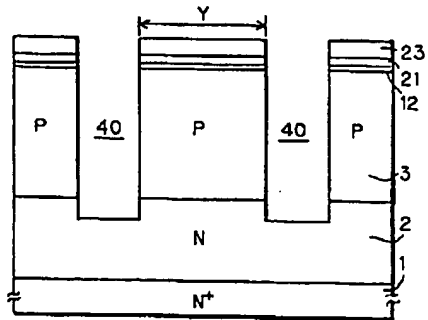
【図4】



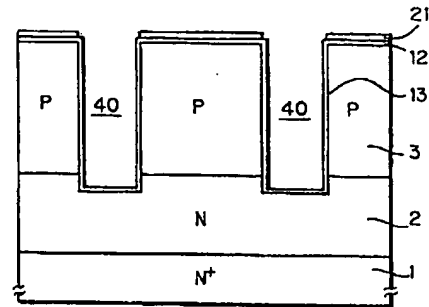
【図5】



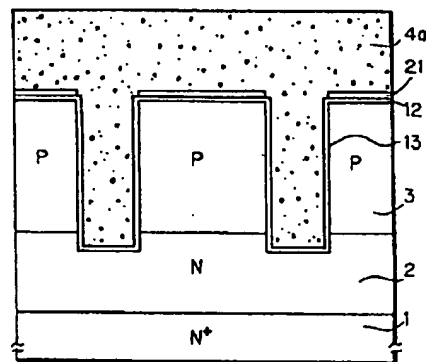
【図6】



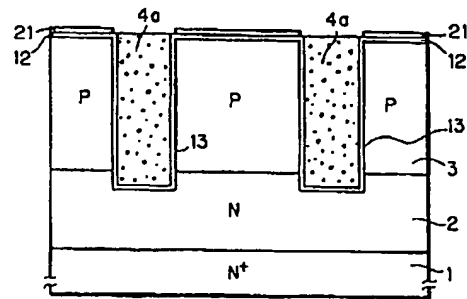
【図7】



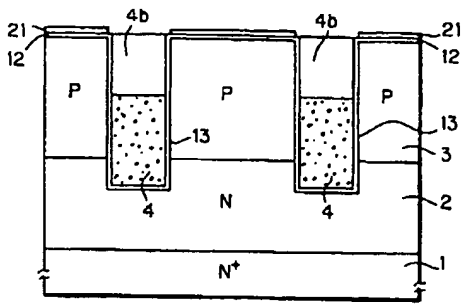
【図8】



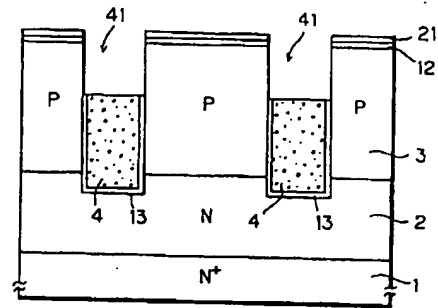
【図9】



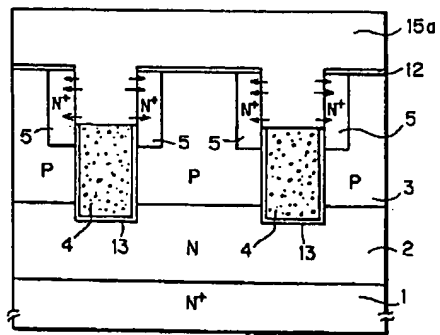
【図10】



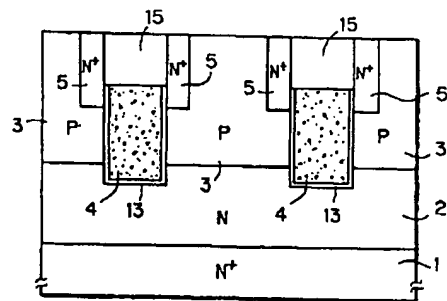
【図11】



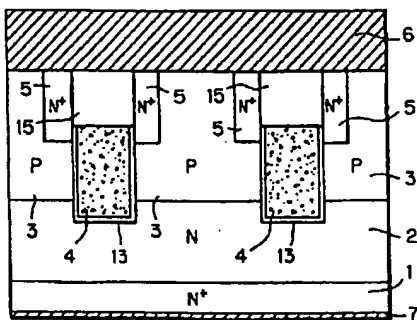
【図12】



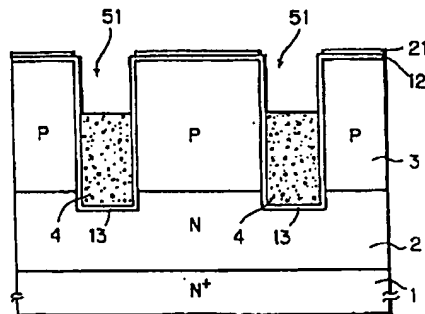
【図13】



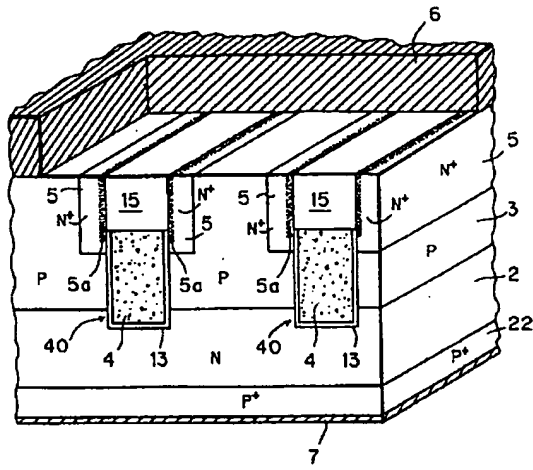
【図14】



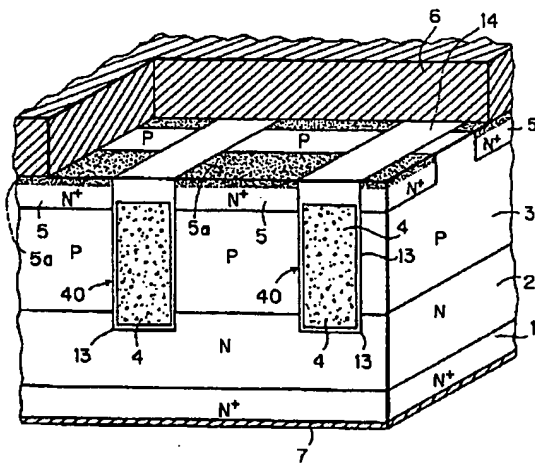
【図15】



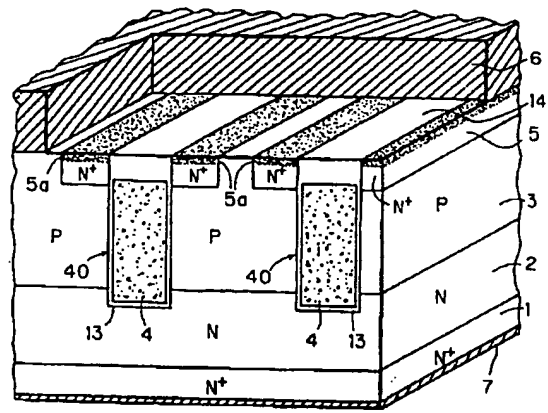
【図16】



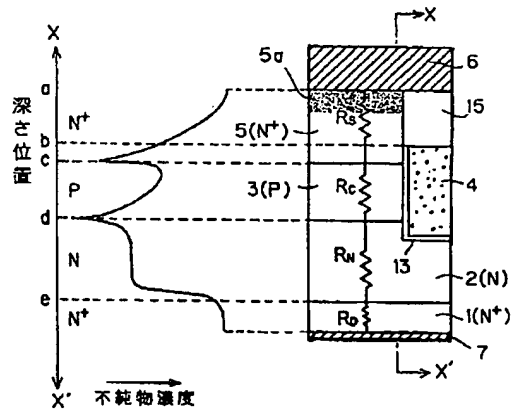
【図18】



【図17】



【図19】



17/9/1

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04234961 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 05-226661 [JP 5226661 A]

PUBLISHED: September 03, 1993 (19930903)

INVENTOR(s): HARADA MANA

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 04-029561 [JP 9229561]

FILED: February 17, 1992 (19920217)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1474, Vol. 17, No. 672, Pg. 153,
December 10, 1993 (19931210)

ABSTRACT

PURPOSE: To micronize, highly integrate and reduce the on-resistance of a semiconductor device having a longitudinal channel MOS gate structure.

CONSTITUTION: A trench 40 is dug from the surface of a source area 5 to an N-diffusion area 2 via the body 3, and inside the trench 40, in the section opposite to the N-diffusion area 2, a buried gate electrode 4 through a gate oxide film 13, and in the section opposite to the source region 5, a buried oxide film 15 including diffusion source impurities, are filled, respectively. The distribution of the impurity concentration in the source region 5 is uniform in the depth direction of the trench 40, and falls in the direction of separating from the trench. Hereby, a current flows along the trench at on, and the resistance to this is suppressed low. Moreover, the trench can be made by narrowing the interval between the fellow adjacent trenches.